



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月30日

出 願 番 号

Application Number:

特願2000-364387

出 願 人

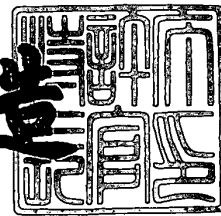
Applicant(s):

古河電気工業株式会社

2001年 7月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063918

【書類名】 特許願

【整理番号】 990936

【提出日】 平成12年11月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 埋込型半導体レーザー素子の製造方法、及び埋込型半導体
レーザー素子

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 本川 幸翁

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 小野 卓宏

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 服部 聡

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株
 式会社内

 【氏名】 佐藤 義浩

【特許出願人】

 【識別番号】 000005290

 【氏名又は名称】 古河電気工業株式会社

 【代表者】 古河 潤之助

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【選任した代理人】

【識別番号】 100095326

【弁理士】

【氏名又は名称】 畑中 芳実

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305593

【包括委任状番号】 9302325

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 埋込型半導体レーザ素子の製造方法、及び埋込型半導体レーザ素子

【特許請求の範囲】

【請求項 1】 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記 p 型電流ブロック層を成膜する際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が 6 0 以上 3 5 0 以下の範囲であることを特徴とする埋込型半導体レーザ素子の製造方法。

【請求項 2】 前記モル比率が 6 0 以上 2 0 0 以下の範囲であることを特徴とする請求項 1 に記載の埋込型半導体レーザ素子の製造方法。

【請求項 3】 前記 p 型電流ブロック層を成膜する際の前記モル比率と異なるモル比率で前記 n 型電流ブロック層を成膜することを特徴とする請求項 1 又は 2 に記載の埋込型半導体レーザ素子の製造方法。

【請求項 4】 前記 n 型電流ブロック層形成の前記モル比率が、前記 p 型電流ブロック層形成の前記モル比率よりも大きいことを特徴とする請求項 1 から 3 のうちのいずれか 1 項に記載の埋込型半導体レーザ素子の製造方法。

【請求項 5】 p 型半導体基板上に、下部クラッド層、活性層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p 型分離層、n 型電流ブロック層、及び p 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記 p 型分離層を成膜する際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率と、前記 n 型電流ブロック層を成膜する際の前記モル比率とによって、前記 n 型電流ブロック層と前記メサ構造の側面との間の前記基板の基板面に平行な最短の距離を制御することを特徴とする埋込型半導体レーザ素子の製造方法

【請求項 6】 前記 p 型分離層成膜時の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が 6 0 以上 3 5 0 以下で、かつ前記 n 型電流ブロック層成膜時の前記モル比率が 3 0 以上 8 0 以下であることを特徴とする埋込型半導体レーザー素子の製造方法。

【請求項 7】 前記 p 型分離層成膜時の前記モル比率が、6 0 以上 2 0 0 以下であることを特徴とする請求項 6 に記載の埋込型半導体レーザー素子の製造方法。

【請求項 8】 p 型分離層、n 型電流ブロック層、及び p 型電流ブロック層を成膜する際、それぞれの層の成膜毎に相互に異なる、III 族元素原料ガスに対する V 族元素原料ガスのモル比率で、それぞれの層を成膜することを特徴とする請求項 5 から 7 のいずれか 1 項に記載の埋込型半導体レーザー素子の製造方法。

【請求項 9】 前記 p 型電流ブロック層成膜時の前記モル比率が、前記 p 型分離層成膜時の前記モル比率よりも大きいことを特徴とする請求項 5 から 8 のいずれか 1 項に記載の埋込型半導体レーザー素子の製造方法。

【請求項 1 0】 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザー素子において、

無効電流経路幅 T_n が、 $0.15 \mu m < T_n < 0.6 \mu m$ であることを特徴とする埋込型半導体レーザー素子。

【請求項 1 1】 p 型半導体基板上に、下部クラッド層、活性層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p 型分離層、n 型電流ブロック層、及び p 型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザー素子において、

無効電流経路幅 T_p が、 $0.15 \mu m < T_p < 0.6 \mu m$ であることを特徴とする埋込型半導体レーザー素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、埋込型半導体レーザ素子の製造方法、特に埋め込み層形成の技術に関し、更に詳細には、レーザの発振効率が高く、電流－光出力特性の再現性の高い埋込型半導体レーザ素子の製造方法に関するものである。

【0002】

【従来の技術】

半導体レーザ素子では、特に、しきい値電流密度が低いこと、及びレーザ発振効率が高いことが、望ましいレーザ特性として評価されている。そして、埋込型のヘテロ構造の歪量子井戸型半導体レーザ素子が、これらの特性に優れた半導体レーザ素子として注目されている。

【0003】

ここで、特開平 8 - 2 8 8 5 8 9 号を参照しつつ、図 8 を示して、n 型半導体基板上に形成した従来の歪量子井戸型半導体レーザ素子の構造及びその製造方法を説明する。図 8 は従来の歪量子井戸型半導体レーザ素子の構成を示す断面図である。

歪量子型半導体レーザ素子 2 0 は、図 8 に示すように、n 型 GaAs 基板 1 上に、有機金属気相成長法 (MOCVD 法) を用いて順次エピタキシャル成長させた、n 型 InGaP 下側クラッド層 2、活性層 3、及び p 型 InGaP 上側クラッド層 4 の積層構造を備えている。

活性層 3 は、InGaAsP 層 5、GaAs 層 6、InGaAs 層 7、GaAs 層 8、及び InGaAsP 層 9 の 5 層構造である。

【0004】

上側クラッド層 4、活性層 3、及び下側クラッド層 2 の上部は、メサ構造 1 1 に加工され、メサ構造 1 1 の両側面 1 2 及び下側クラッド層 2 の上面、つまりメサ構造 1 1 の裾部上面 1 3 は、順次、成膜された、p 型 InGaP 電流ブロック層 1 4、及び n 型 InGaP 電流ブロック層 1 5 で埋め込まれている。

n 型電流ブロック層 1 5 及び p 型電流ブロック層 1 4 上、並びにメサ構造 1 1

の上側クラッド層4上には、第2のp型InGaP上側クラッド層16、及びp型コンタクト層17が形成されている。

また、p型コンタクト層17上にはp側電極用金属層18が、基板1の裏面にはn側電極用金属層19が、それぞれ、形成されている。

【0005】

次に、図9を参照して、上述した歪量子型半導体レーザ素子20の作製方法を説明する。図9(a)から(c)は、それぞれ、従来の製造方法に従って歪量子型半導体レーザ素子20を作製する際の工程毎の断面図である。

先ず、図9(a)に示すように、n型GaAs基板1上に、有機金属気相成長法(MOCVD法)を用いて、n型InGaP下側クラッド層2、活性層3、及びp型InGaP上側クラッド層4を、順次、積層して多層積層膜を形成する。尚、活性層3の形成では、InGaAsP層5、GaAs層6、InGaAs層7、GaAs層8、及びInGaAsP層9の5層構造を形成する。

次に、熱CVD法を用いて上側クラッド層4上にシリコン酸化膜からなるエッチングマスク10を形成する。

【0006】

次に、エッチングマスク10を使って、多層積層膜のうちの上側クラッド層4、活性層3、及び下側クラッド層2の上部をエッチング溶液でエッチングして、図9(b)に示すように、エッチングマスク10の下面にアンダーカットされた形状のメサ構造11を形成する。

次いで、図9(c)に示すように、メサ構造11の側面12及び裾部上面13上にわたって、MOCVD法を用いてp型InGaP電流ブロック層14、及びn型InGaP電流ブロック層15を順次成膜してメサ構造11を埋め込む。

【0007】

次に、フッ酸を用いてエッチングマスク10を除去した後、図8に示すように、メサ構造11の上面、p型電流ブロック層14及びn型電流ブロック層15の上に、MOCVD法を用いてp型クラッド層16及びp型コンタクト層17を順次成膜する。

続いて、p型コンタクト層17上にp側電極用金属層18を、基板1の裏面に

n側電極用金属層19をそれぞれ形成する。

【0008】

ところで、前掲公報は、p型電流ブロック層14及びn型電流ブロック層15を選択成長させる際の問題を指摘している。即ち、エッチングマスク10を用いてp型電流ブロック層14及びn型電流ブロック層15を選択成長させる際、成長レートの違い等に起因してくぼみ又は溝の形状欠陥40が、図10に示すように、エッチングマスク10の側縁下に沿ってn型電流ブロック層15に発生する。

そして、n型電流ブロック層15の表面に発生するくぼみ40が大きいと、そこで転位が発生し易くなり、この転位がp型コンタクト層17中に伝搬することにより、作製した埋込型半導体レーザ素子のしきい値電流が増大し、レーザの発振効率が低下する。

【0009】

そこで、前掲公報は、p型及びn型電流ブロック層14、15の成長条件として、基板温度を750℃～800℃の範囲とし、V族原料ガスとIII族原料ガスの混合比（濃度比）を400以上800以下の範囲で成膜することを提案している。そして、これにより、くぼみ又は溝等の形状欠陥40の発生を抑制して、転位を低減させることができるとしている。

また、このくぼみ又は溝40が形成されなくなることにより、n型GaAs基板1上に形成されるn型電流ブロック層15の縦方向の膜厚が厚くなるので、電極18、19間に電圧を印加した場合、電流ブロック層14、15を流れる電流リーク（図10中では電流リークを矢印41で示す）は小さくなり、レーザ発振効率が向上するとしている。

【0010】

また、文献：三菱電機技報 {Vol. 67, No.8(1993) 88} は、メサ構造と電流ブロック層との界面の無効電流によるレーザ発振効率の低下を指摘している。

ここで、図11を参照して、三菱電機技報の指摘を紹介する。図11は、n型InP基板上に形成された埋込型長波長半導体レーザ素子の要部の断面模式図である。

図11中、21はn型InPクラッド層、22はp型InP電流ブロック層、23はn型InP電流ブロック層、24はp型InPコンタクト層、25はp型InPクラッド層、及び26はInGaAsP活性層である。また、34はn型InP電流ブロック層23に発生したくぼみ、溝等の形状である。

【0011】

図11の中央部では、キャリアがInGaAsP活性層26に注入されてレーザ発振に寄与する電流が流れ、一方、InGaAsP活性層26の両側では、p型InP電流ブロック層22／n型InP電流ブロック層23のpn接合構造が形成されているので、電流は流れない。

しかし、活性層26と電流ブロック層22／23の境界部分では、境界に沿って、レーザ発振に寄与しない無効電流Cが流れる。

【0012】

この無効電流Cは小さいほど、埋込型半導体レーザ素子のレーザの発振効率が高く、高出力特性や電流電圧特性の線形性が良好である。よって、この無効電流Cが流れる無効電流経路幅が狭いほど、電流ブロック層の抵抗が高くなり、レーザ特性にとって望ましい構造と言える。

ここで、無効電流経路幅とは、InGaAsP活性層26近傍のメサ構造の側面に形成されたp型InP電流ブロック層22の厚さ（図11及び図13（a）参照）であって、以下、無効電流経路幅 T_n と記す。

【0013】

以上のことから、n型基板上の埋込型半導体レーザ素子の埋込構造は、図13（a）に示すように、p型電流ブロック層が活性層を越えて上方まで伸び、しかも無効電流経路幅 T_n が狭い方が望ましい。

【0014】

また、上記文献は、p型InP基板上の埋込型長波長半導体レーザ素子の構造についても同様の問題を指摘している。図12を参照して、上記文献の指摘を説明する。図12はp型InP基板上の埋込型長波長半導体レーザ素子の断面模式図である。

図12中、27はp型InPクラッド層、28はp型InP分離層、29はn

型 InP 電流ブロック層、30 は p 型 InP 電流ブロック層、31 は n 型 InP コンタクト層、32 は n 型 InP クラッド層、及び 33 は InGaAsP 活性層である。また、35 は p 型 InP 電流ブロック層 30 に発生したくぼみ、溝等の形状欠陥である。

一般に、キャリア濃度がほぼ同じであるとする、n 型 InP 層の抵抗率は、p 型 InP 層の抵抗率より約 2 桁ほど小さいので、n 型 InP 層を流れる無効電流 C は、p 型 InP 層を流れる無効電流に比較して大きくなる。そこで、p 型 InP 基板上の埋込型長波長半導体レーザ素子では、図 12 に示すように、p 型 InP 分離層 28 を挿入する構造が採用されている。

【0015】

それでも、活性層 33 と電流ブロック層 28 / 29 の境界部分では、レーザ発振に寄与しない無効電流 C が、図 12 に示す矢印のように、境界に沿って流れる。

n 型 InP 基板の場合と同様に、無効電流経路幅が小さいほど、抵抗が大きくなり、無効電流 C は小さくなる。無効電流経路幅は、InGaAsP 活性層 33 近傍のメサ構造の側面に形成された p 型 InP 分離層 28 の厚さであって、これは言い換えると、メサ構造の側面と n 型 InP 電流ブロック層 29 との距離であって、以下、無効電流経路幅 T_p (図 12、図 13 (b) 参照) と記す。

【0016】

以上のことから、p 型基板上の埋込型半導体レーザ素子の埋込構造は、図 13 (b) に示すように、第 1 層の p 型分離層がメサ構造に沿って活性層の上方まで伸び、第 2 層の n 型電流ブロック層はなるべく上方まで伸びないことが望ましく、更には、第 3 層の p 型電流ブロック層が第 1 層の p 型分離層と接触し、第 2 層の n 型電流ブロック層を挟み込んだ構造となるのが望ましい。

【0017】

【発明が解決しようとする課題】

ところで、上述の n 型基板上に形成する埋込型半導体レーザ素子の作製に際し、電流ブロック層の成膜の際の制御技術が確立していないこともあって、前掲公報のように、たとえ基板温度を $750^{\circ}\text{C} \sim 800^{\circ}\text{C}$ の範囲とし、V 族原料ガスと

III 族原料ガスの混合比（濃度比）を 4 0 0 以上 8 0 0 以下の範囲で成膜しても、再現性よく無効電流経路幅 T_n を狭くすることが極めて難しく、無効電流経路幅 T_n がばらつくことが多かった。

【 0 0 1 8 】

また、p 型基板上に形成する埋込型半導体レーザ素子の作製に際しても、同様に、電流ブロック層の成膜の際の制御技術が確立していないので、図 1 2 の n 型 InP 電流ブロック層 2 9 が成長し過ぎて、図 1 4 に示すように、n 型 InP コンタクト層 3 1 と接触してしまったり、あるいは無効電流経路幅 T_p が大きくなってしまふことが多かった。

その結果、無効電流 C が大きくなり、レーザの発振効率は低く、高出力特性や電流電圧特性の線形性が悪く、高出力の埋込型半導体レーザ素子を再現性よく製造することが難しかった。

【 0 0 1 9 】

そこで、本発明の目的は、形状欠陥が電流ブロック層で発生するのを防止し、無効電流経路幅を再現性良く制御できる、埋込型半導体レーザ素子の作製方法を提供することである。

【 0 0 2 0 】

【課題を解決するための手段】

本発明者は、鋭意研究の結果、次に述べる実験に基づいて、n 型基板上の埋込型半導体レーザ素子の作製の際、無効電流経路幅 T_n は、p 型電流ブロック層成膜時の III 族元素原料ガスに対する V 族元素原料ガスのモル比率（V 族元素原料ガスのモル数 / III 族元素原料ガスのモル数、以下、同様）により制御され、また、p 型基板上の埋込型半導体レーザ素子の作製の際、無効電流経路幅 T_p は p 型分離層成膜時及び n 型電流ブロック層成膜時のモル比率により制御されるということ、また、最適な無効電流経路幅 T_n 及び T_p と、それを実現するためのモル比率の範囲を見い出した。

【 0 0 2 1 】

実験例 1

本実験例では、n 型基板上の埋込型半導体レーザ素子の作製過程で p 型電流ブ

ロック層成膜の際、III 族元素原料ガスに対するV族元素原料ガスのモル比率を変えて、無効電流経路幅 T_n の変化を求め、また、p型基板上の埋込型半導体レーザー素子の作製過程でp型分離層成膜の際、III 族元素原料ガスに対するV族元素原料ガスのモル比率を変えて、無効電流経路幅 T_p の変化を求めたところ、図15に示すような結果を得た。

つまり、無効電流経路幅 T_n はp型電流ブロック層成膜時のIII 族元素原料ガスに対するV族元素原料ガスのモル比率によって規定され、同様に、無効電流経路幅 T_p はp型InP分離層成膜時のモル比率によって規定される。それを規定する関係は、図15に示すように、双方とも同じであって、モル比率が10から300の範囲で再現性よく無効電流経路幅を制御することができる。

【0022】

更に説明すると、III 族系原料に対するV族系原料の供給比率（モル比）を図15のように変えた場合、基板上に吸着した一方の原料、例えばIII 族系原料が、他方の原料、即ちV族系原料と結合して膜を形成するまでにメサ構造上を移動する距離、或いは時間が変化し、メサ構造に沿った電流ブロック層の這い上がりの度合いが変化する。

例えば、n基板上のメサ構造を埋め込むときには、原料の供給比率を10以上にして、無効電流経路幅を自在に変化させることにより、図16（a）に示すように、好ましい埋め込み形状を形成することができる。

【0023】

また、p型基板上のメサ構造を埋め込むときには、第1層のp型分離層成膜時の原料供給比を20以上に、第2層のn型電流ブロック層成膜時の原料供給比を10以下にすることによって、図16（b）に示すように、好ましい埋め込み形状を得ることができる。

【0024】

要約すると、供給比率を大きくしてマイグレーションを小さくすると、メサ構造に沿って電流ブロック層が這い上がり易くなって、無効電流経路幅が大きくなる。逆に、供給比率を小さくしてマイグレーションを大きくすると、電流ブロック層の這い上がり難くなって、無効電流経路幅が小さくなる。

【 0 0 2 5 】

実験例 2

本実験例では、 n 型基板上の埋込型半導体レーザ素子の作製過程で無効電流経路幅 T_n を変えて作製した埋込型半導体レーザ素子の電流－微分抵抗値特性を測定し、無効電流経路幅 T_n と電流－微分抵抗値特性との関係を求めた。

同様に、 p 型基板上の埋込型半導体レーザ素子の作製過程で無効電流経路幅 T_p を変えて作製した埋込型半導体レーザ素子の電流－微分抵抗値特性を測定し、無効電流経路幅 T_p と電流－微分抵抗値特性との関係を求めた。

その結果、無効電流経路幅 T_n 又は T_p が $0.6 \mu m$ 以上であると、リーク電流が大きくなって、微分抵抗値の電流に対する変化率が大きくなり、電流－光出力特性が悪くなった。また、無効電流経路幅 T_n 又は T_p が $0.15 \mu m$ 以下であると、電流－微分抵抗値特性の再現性、つまり電流－光出力特性の再現性が悪く、特性がばらついた。

【 0 0 2 6 】

以上の実験結果から、無効電流経路幅 T_n 及び T_p は $0.15 \mu m$ を超え、かつ $0.6 \mu m$ 未満の範囲にあることが必要である。

そのためには、 n 型半導体基板上に埋込型半導体レーザ素子を製造する際は、 p 型電流ブロック層を成膜する III 族元素原料ガスに対する V 族元素原料ガスのモル比率は、図 15 から 60 以上 350 以下の範囲にすべきことが判った。

また、 p 型半導体基板上に埋込型半導体レーザ素子を製造する際には、 p 型分離層形成時の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が 60 以上 350 以下で、かつ n 型電流ブロック層形成のモル比率が 30 以上 80 以下の範囲にすべきことが判った。

【 0 0 2 7 】

上記目的を達成するために、上述の知見に基づいて、本発明に係る n 型半導体基板上の埋込型半導体レーザ素子の製造方法（以下、第 1 の発明方法と言う）は、 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法

により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記 p 型電流ブロック層を成膜する際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率が、60 以上 350 以下の範囲であることを特徴としている。

【0028】

第 1 の発明方法で、モル比率が 60 より小さいと、p 型電流ブロック層を成膜して、所定の無効電流経路幅 T_n の電流狭窄構造を形成する際の電流狭窄構造の再現性は悪くなり、無効電流経路幅 T_n がばらつくからである。一方、このモル比率が 350 より大きいと、無効電流経路幅 T_n は $0.5 \mu m$ を超えて大きくなり、無効電流が大きくなるからである。

【0029】

第 1 の発明方法で、好ましくは、p 型電流ブロック層のモル比率は 60 以上 200 以下である。モル比を 60 以上 200 以下に設定することにより、無効電流経路幅 T_n を 0.2 以上 $0.4 \mu m$ 以下に制御して、無効電流を更に減少させることができるからである。

更に好ましくは、 0.2 以上 $0.3 \mu m$ 以下の無効電流経路幅 T_n の電流狭窄構造を形成するために、p 型電流ブロック層を成膜する際のモル比率は、60 以上 100 以下である。

【0030】

また、好ましくは、p 型電流ブロック層を成膜する際のモル比率と異なるモル比率で n 型電流ブロック層を成膜する。そして、n 型電流ブロック層成膜時のモル比率は、p 型電流ブロック層成膜時のモル比と同じか、より大きいことが望ましい。

これにより、n 型電流ブロック層を形成する際、メサ構造の側面からの成長速度が大きくなり、前述したくぼみ、溝等の形状欠陥の形成が抑制される。

【0031】

また、本発明に係る p 型半導体基板上の埋込型半導体レーザ素子の製造方法（以下、第 2 の発明方法と言う）は、p 型半導体基板に、下部クラッド層、活性

層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p型分離層、n型電流ブロック層、及びp型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成する、埋込型半導体レーザ素子の製造方法において、

前記p型分離層を成膜する際のIII族元素原料ガスに対するV族元素原料ガスのモル比率と、前記n型電流ブロック層を成膜する際の前記モル比率とによって、前記n型電流ブロック層と前記メサ構造の側面との間の前記基板の基板面に平行な最短の距離を制御することを特徴としている。

【0032】

n型電流ブロック層とメサ構造の側面との間の基板の基板面に平行な最短の距離とは、図13(b)に示す、いわゆる無効電流経路幅 T_p である。

【0033】

実用的には、p型分離層成膜時のIII族元素原料ガスに対するV族元素原料ガスのモル比率が60以上350以下で、かつn型電流ブロック層成膜時のモル比率が30以上80以下である。

p型分離層成膜時のモル比率が60より小さいと、p型分離層を成膜して、所定の無効電流経路幅 T_p の電流狭窄構造を形成する際の電流狭窄構造の再現性が悪くなり、無効電流経路幅 T_p がばらつくからである。一方、このモル比率が350より大きいと、無効電流経路幅 T_p が $0.5\mu\text{m}$ より大きくなって無効電流が大きくなるからである。

また、n型電流ブロック層成膜時のモル比が30より小さいと、図17に示すように、n型電流ブロック層の表面に、次いでp型電流ブロック層の表面にくぼみ、溝等の形状欠陥が発生する。逆に、モル比が80より大きいと、メサ構造の裾部上面からの成長と同時に、メサ構造の側面からもn型電流ブロック層が成長して膜厚が厚くなり、結果的に、図17に示すように、n型電流ブロック層がn型コンタクト層又はn型クラッド層に接触し、無効電流が大きくなるからである。

【0034】

好ましくは、p型分離層形成時のモル比率は60以上200以下である。これ

により、無効電流経路幅 T_n を $0.2 \sim 0.4 \mu m$ に制御することができるからである。

更に好ましくは、 0.2 以上 $0.3 \mu m$ 以下の無効電流経路幅 T_p の電流狭窄構造を形成するために、 p 型分離層を成膜する際のモル比率は、 60 以上 100 以下である。

【0035】

また、 p 型分離層、 n 型電流ブロック層、及び p 型電流ブロック層を成膜する際、それぞれの層の成膜毎に相互に異なる、III 族元素原料ガスに対する V 族元素原料ガスのモル比率でそれぞれの層を成膜する。好適には、 p 型電流ブロック層成膜時のモル比率は、 p 型分離層形成時のモル比と同じか、より大きいことが望ましい。

これにより、 p 型電流ブロック層を形成する際、メサ構造の側面からの成長速度が大きくなり、くぼみ、溝等の形状欠陥の発生が抑制される。

【0036】

第 1 及び第 2 の発明方法は、III 族/V 族系化合物半導体である限り、半導体基板、下部クラッド層、活性層、上部クラッド層、及び電流ブロック層の組成に制約なく適用できる。埋込型であるかぎり、メサ構造の形状には制約はない。

第 1 又は第 2 の発明に係る製造方法によって n 型基板上、又は p 型基板上に埋込型半導体レーザ素子を製造することにより、埋込型半導体レーザ素子の無効電流が小さくなり、かつ、くぼみ溝等の形状欠陥が電流狭窄構造に発生しなくなるので、しきい値電流、発振効率等のレーザの出力特性が良好で、電流電圧特性の線形性が向上した、しかも高出力の埋込型半導体レーザ素子を再現性良く、つまり歩留り良く製造することができる。

【0037】

また、 n 型半導体基板上に形成された埋込型半導体レーザ素子の場合には、前述の実験結果に基づいて、本発明に係る埋込型半導体レーザ素子は、 n 型半導体基板上に、下部クラッド層、活性層、及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に p 型電流ブロック層及び n 型電流ブロック層を有機金属気相成長方法により成長さ

せて電流狭窄構造を形成した、埋込型半導体レーザ素子において、

無効電流経路幅 T_n が、 $0.15\mu\text{m} < T_n < 0.6\mu\text{m}$ であることを特徴としている。

【0038】

更には、p型半導体基板上に形成された埋込型半導体レーザ素子の場合には、前述の実験結果に基づいて、本発明に係る埋込型半導体レーザ素子は、p型半導体基板上に、下部クラッド層、活性層及び上部クラッド層を有するメサ構造を形成した後、該メサ構造の側面及び該側面と連続しているメサ構造裾部の上面に、順次、p型分離層、n型電流ブロック層、及びp型電流ブロック層を有機金属気相成長方法により成長させて電流狭窄構造を形成した、埋込型半導体レーザ素子において、

無効電流経路幅 T_p が、 $0.15\mu\text{m} < T_p < 0.6\mu\text{m}$ であることを特徴としている。

【0039】

これにより、しきい値電流、発振効率等のレーザの出力特性が良好で、電流電圧特性の線形性が向上した、しかも製品歩留りの高い高出力の埋込型半導体レーザ素子を実現している。

【0040】

【発明の実施の形態】

以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例 1

本実施形態例は、第1の発明方法に係る埋込型半導体レーザ素子の製造方法の実施形態の一例であって、図1(a)から(c)、及び図2は、それぞれ、本実施形態例の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

先ず、図1(a)に示すように、n型InP基板51の上に、MOCVD法によって既知のエピタキシャル成長条件で、n型InP下部クラッド層52、下部GRIN-SCH層53、歪み多重量子井戸構造の活性層54、上部GRIN-

SCH層55、及びp型InP上部クラッド層56を、順次、成長させて、多層積層膜を形成する。

【0041】

次いで、図1(b)に示すように、上部クラッド層56上にシリコン酸化膜からなるエッチングマスク57を形成し、続いてエッチングマスク57を使って、多層積層膜のうち上部クラッド層56、上部GRIN-SCH層55、活性層54、下部GRIN-SCH層53、及び下部クラッド層52の上部をエッチング溶液でエッチングして、エッチングマスク57の下面にアンダーカットされた形状のメサ構造58を形成する。

【0042】

次に、図1(c)に示すように、メサ構造58の側面58a及び裾部上面58b上にわたって、それぞれ、MOCVD法を用いて、III族元素原料ガスに対するV族元素原料ガスのモル比率を60以上350以下の範囲で、厚さ1 μ mのp型InP電流ブロック層59を成膜し、更にp型InP電流ブロック層59の形成時より大きいモル比率で厚さ1 μ mのn型InP電流ブロック層60を成膜して、メサ構造58を埋め込む。

【0043】

p型InP電流ブロック層59の成膜では、III族原料ガスとして、例えばトリメチルインジウム(TMIn)、V族原料ガスとして、例えばホスフィン(PH₃)、ドーピングガスとして、例えばジエチル亜鉛(DEZn)を用いる。

また、n型InP電流ブロック層60の成膜では、III族及びV族の原料ガスとして、例えばp型InP電流ブロック層59と同じ原料ガスを用い、ドーピングガスとして、例えば硫化水素(H₂S)を用いる。

【0044】

次いで、図2に示すように、メサ構造58上及び電流ブロック層59、60上に、それぞれ、MOCVD法によって、p型InP上部クラッド層61及びp型GaInAsPキャップ層62を形成する。

次いで、p型GaInAsP層キャップ層62上にp側電極63を形成し、n型InP基板51の裏面を研磨して全体の厚みを0.1 μ m程度にした後、その

研磨面に n 側電極 6 4 を形成する。

【0045】

実施例 1

上述の実施形態例 1 の方法に従い、かつ、それぞれ、モル比が 8 0 及び 1 0 0 で、p 型 I n P 電流ブロック層 5 9 及び n 型 I n P 電流ブロック層 6 0 を成膜して、メサ構造 5 8 を埋め込み、更に、上部クラッド層 6 1 及びキャップ層 6 2 を成膜し、電極を形成した。次いで、全体を劈開して、一方の劈開面に低反射膜を、他方の劈開面に高反射膜を成膜して、発振波長帯域が 1 . 4 5 ~ 1 . 5 0 μ m の半導体レーザ素子素子を実施例 1 として作製した。

電子顕微鏡で測定した無効電流経路幅 T_n は、表 1 に示すように、0 . 2 5 μ m であった。また、電流－微分抵抗値特性を測定し、図 3 に示す結果を得た。

【表 1】

番号	基板の導電型	p 型電流ブロック層のモル比	n 型電流ブロック層のモル比	無効電流経路幅 T_n (μ m)
実施例 1	n	8 0	1 0 0	0 . 2 5
実施例 2	n	1 0 0	1 0 0	0 . 3 0
実施例 3	n	2 0 0	1 0 0	0 . 4 0
比較例 1	n	5 0	1 0 0	0 . 1 5
比較例 2	n	4 0 0	1 0 0	0 . 6 0

【0046】

実施例 2 及び 3

p 型 I n P 電流ブロック層 5 9 及び n 型 I n P 電流ブロック層 6 0 を成膜する際のモル比が、それぞれ、表 1 に示すように、実施例 1 と異なることを除いて、実施例 1 と同様にして、発振波長帯域が 1 . 4 5 ~ 1 . 5 0 μ m の実施例 2 及び 3 の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_n は、表 1 に示す通りであった。また、電流－微分抵抗値特性を測定し、図 3 に示す結果を得

た。

【 0 0 4 7 】

比較例 1 及び 2

実施例の製造方法を評価するために、p 型 I n P 電流ブロック層 5 9 及び n 型 I n P 電流ブロック層 6 0 を成膜する際のモル比が、それぞれ、表 1 に示すように、第 1 の発明方法で特定した範囲外にあることを除いて、実施例 1 と同様にし、発振波長帯域が $1.45 \sim 1.50 \mu\text{m}$ の比較例 1 及び 2 の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_n は、表 1 に示す通りであった。また、電流－微分抵抗値特性を測定し、図 3 に示す結果を得た。

【 0 0 4 8 】

実施例 1 ～ 3 の埋込型半導体レーザ素子は、無効電流経路幅 T_n が 0.25 から $0.40 \mu\text{m}$ の範囲に制御され、リーク電流が小さく、図 3 に示すように、微分抵抗値の電流に対する変化率は小さかった。

一方、比較例 1 の埋込型半導体レーザ素子は、p 型電流ブロック層成膜時のモル比率が第 1 の発明で特定した値より小さいために、無効電流経路幅 T_n が $0.15 \mu\text{m}$ と小さ過ぎて、電流－微分抵抗値特性の再現性が悪く、図 3 に示すことができなかった。逆に、比較例 2 の埋込型半導体レーザ素子は、p 型電流ブロック層成膜時のモル比率が第 1 の発明で特定した値より大きいために、無効電流経路幅 T_n が $0.60 \mu\text{m}$ と大きく、その結果、リーク電流が大きく、図 3 に示すように、微分抵抗値の電流に対する変化率が実施例 1 ～ 3 に比べて著しく大きかった。

【 0 0 4 9 】

実施形態例 2

本実施形態例は、第 2 の発明方法に係る埋込型半導体レーザ素子の製造方法の実施形態の一例であって、図 4 (a) から (c)、及び図 5 は、それぞれ、本実施形態例の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

図 4 (a) に示すように、p 型 I n P 基板 7 1 の上に、MOCVD 法によって既知のエピタキシャル成長条件で、順次、p 型 I n P 下部クラッド層 7 2、下部

GRIN-SCH層73、歪み多重量子井戸構造の活性層74、上部GRIN-SCH層75、及びn型InP上部クラッド層76を成長させ、多層積層膜を形成する。

【0050】

次いで、図4(b)に示すように、上部クラッド層76上にシリコン酸化膜からなるエッチングマスク77を形成し、エッチングマスク77を使って、多層積層膜のうち上部クラッド層76、上部GRIN-SCH層75、活性層74、下部GRIN-SCH層73、及び下部クラッド層72の上部をエッチング溶液でエッチングして、エッチングマスク77の下面にアンダーカットされた形状のメサ構造78を形成する。

【0051】

次に、図4(c)に示すように、メサ構造78の側面78a及び裾部上面78b上にわたって、それぞれ、MOCVD法を用いて、III族元素原料ガスに対するV族元素原料ガスのモル比率が60以上350以下の範囲で、p型InP分離層79を成膜し、次いでモル比率が30以上80以下の範囲でn型InP電流ブロック層80を成膜し、更にモル比率が60以上350以下の範囲でp型InP電流ブロック層81を成膜して、メサ構造78を埋め込む。

【0052】

p型分離層79及びp型InP電流ブロック層81の成膜の際には、III族原料ガスとして、例えばトリメチルインジウム(TMI n)、V族原料ガスとして、例えばホスフィン(PH₃)、ドーピングガスとして、例えばジエチル亜鉛(DEZn)を用いる。

また、n型InP電流ブロック層80の成膜の際には、III族及びV族の原料ガスとして例えばp型InP電流ブロック層79及びp型InP電流ブロック層81と同じ原料ガスを用い、ドーピングガスとして、例えば硫化水素(H₂S)を用いる。

【0053】

次いで、図5に示すように、メサ構造78上、p型分離層79及びp型電流ブロック層81上に、それぞれ、MOCVD法によって、n型InP上部クラッド

層 8 2、次いで n 型 Ga In As P キャップ層 8 3 を成膜する。

次いで、n 型 Ga In As P 層 キャップ層 8 3 上に n 側電極 8 4 を形成し、n 型 In P 基板 7 1 の裏面を研磨して全体の厚みを 0. 1 μ m 程度にした後、その研磨面に p 側電極 8 5 を形成する。

【0 0 5 4】

実施例 4

上述の実施形態例 2 の方法に従い、かつ、それぞれ、モル比が 8 0、5 0 及び 1 0 0 で、p 型 In P 分離層 7 9、n 型 In P 電流ブロック層 8 0、及び p 型 In P 電流ブロック層 8 1 を成膜して、メサ構造 7 8 を埋め込み、更に、上部クラッド層 8 2 及びキャップ層 8 3 を成膜し、電極を形成した。次いで、全体を劈開して、一方の劈開面に低反射膜を、他方の劈開面に高反射膜を成膜して、発振波長帯域が 1. 2 8 から 1. 3 3 μ m の半導体レーザ素子素子を実施例 4 として作製した。

電子顕微鏡で測定した無効電流経路幅 T_p は、表 2 に示すように、0. 2 5 μ m であった。また、電流－微分抵抗値特性を測定し、図 6 に示す結果を得た。

【表 2】

番号	基板の 導電型	p 型分離層 のモル比	n 型電流ブ ロック層の モル比	p 型電流ブ ロック層の モル比	無効電流経 路幅 T_n (μ m)
実施例 4	p	8 0	5 0	1 0 0	0. 2 5
実施例 5	p	1 0 0	5 0	1 0 0	0. 3 0
実施例 6	p	2 0 0	5 0	1 0 0	0. 4 0
比較例 3	p	1 0 0	1 0 0	1 0 0	0. 3 0
比較例 4	p	4 0 0	4 0 0	1 0 0	0. 6 0
比較例 5	p	5 0	5 0	1 0 0	0. 1 4

【0 0 5 5】

実施例 5 及び 6

p 型 In P 分離層 7 9、n 型 In P 電流ブロック層 8 0、及び p 型 In P 電流

ブロック層 81 を成膜する際のモル比が、それぞれ、表 2 に示すように、実施例 4 と異なることを除いて、実施例 4 と同様にして、実施例 5 及び 6 の発振波長帯域が 1.28 から 1.33 μm の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_p は、表 2 に示す通りであった。また、電流－微分抵抗値特性を測定し、図 6 に示す結果を得た。

【0056】

比較例 3～5

実施例の製造方法を評価するために、p 型 InP 分離層 79、n 型 InP 電流ブロック層 80、及び p 型 InP 電流ブロック層 81 を成膜する際のモル比が、それぞれ、表 2 に示すように、第 2 の発明方法で特定した範囲外にあることを除いて、実施例 4 と同様にして、発振波長帯域が 1.28 から 1.33 μm の比較例 3～5 の埋込型半導体レーザ素子を作製したところ、無効電流経路幅 T_p は、表 2 に示す通りであった。また、電流－微分抵抗値特性を測定し、図 6 に示す結果を得た。

【0057】

実施例 4～6 の埋込型半導体レーザ素子は、無効電流経路幅 T_p は 0.25～0.40 μm に制御されているので、リーク電流は小さく、微分抵抗値の電流に対する変化率は小さかった。

一方、比較例 4 の埋込型半導体レーザ素子は、p 型分離層成膜時及び n 型電流ブロック層成膜時のモル比率が第 2 の発明で特定した値より大きいために、図 7 に示すに、n 型 InP 電流ブロック層 80 が、n 型 InP 上部クラッド層 82 に接触していた。このため、比較例 4 は、リーク電流が大きく、図 6 に示すように、微分抵抗値の電流に対する変化率が実施例 4～6 に比べて著しく大きくなった。

比較例 3 の埋込型半導体レーザ素子は、n 型電流ブロック層成膜時のモル比率が第 2 の発明で特定した値より大きいために、図 7 に示すに、n 型 InP 電流ブロック層 80 が、n 型 InP 上部クラッド層 82 に接触していた。このため、比較例 3 は、リーク電流が大きく、図 6 に示すように、微分抵抗値の電流に対する変化率が、比較例 4 に比べて緩和されているものの、実施例 4～6 に比べて著し

く大きかった。

比較例 5 の埋込型半導体レーザ素子は、p 型分離層成膜時のモル比率が第 2 の発明で特定した値より小さいために、無効電流経路幅 T_p が $0.14\ \mu\text{m}$ と小さすぎ、電流－光出力特性の再現性が悪く、図 6 に示すことができなかった。

【0058】

【発明の効果】

以上説明したように、第 1 及び第 2 の発明方法によれば、n 型基板上又は p 型基板上に埋込型半導体レーザ素子を形成する際、電流ブロック層或いは分離層の成膜の際の III 族元素原料ガスに対する V 族元素原料ガスのモル比率を規定することにより、埋込層表面のくぼみ、溝等の形状欠陥の発生を抑制し、しかも所定の無効電流経路幅を備えた電流狭窄構造を有する埋込型半導体レーザ素子を再現性よく、作製することができる。

第 1 又は第 2 の発明方法を適用することにより、レーザの発振効率が大きく、リーク電流が小さく、高出力特性や電流電圧特性の線形性に優れた、高出力な埋込型半導体レーザ素子を再現性よく、従って高い製品歩留りで製造することができる。

【図面の簡単な説明】

【図 1】

図 1 (a) から (c) は、それぞれ、実施形態例 1 の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

【図 2】

図 1 (c) に続いて、実施形態例 1 の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

【図 3】

実施例 1 ～ 3 と比較例 1 ～ 2 の電流－微分抵抗値特性の図である。

【図 4】

図 4 (a) から (c) は、それぞれ、実施形態例 2 の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

【図 5】

図 4 (c) に続いて、実施形態例 2 の方法に従って埋込型半導体レーザ素子を製造した際の工程毎の断面図である。

【図 6】

実施例 4 ～ 6 と比較例 3 ～ 5 の電流－微分抵抗値特性の図である。

【図 7】 比較例 3 及び 4 の埋込型半導体レーザ素子の電流狭窄構造の問題を説明する断面模式図である。

【図 8】

従来の埋込型半導体レーザ素子の多層積層膜構造の断面図である。

【図 9】

図 9 (a) ～ (c) は、それぞれ、従来例の埋込型半導体レーザ素子の製造方法を説明する工程図である。

【図 1 0】

従来の埋込型半導体レーザ素子の電流狭窄構造にくぼみが発生した様子を示す多層積層膜構造の断面図である。

【図 1 1】

従来の n 型 I n P 基板上の長波長半導体レーザ素子の多層積層膜構造の断面模式図である。

【図 1 2】

従来の p 型 I n P 基板上の長波長半導体レーザ素子の多層積層膜構造の断面模式図である。

【図 1 3】

図 1 3 (a) 及び (b) は、それぞれ、n 型基板上及び p 型基板上に形成した望ましい形状電流狭窄構造を示す断面模式図である。

【図 1 4】

p 型基板上に形成した従来の埋込型半導体レーザ素子の電流狭窄構造の問題を説明する断面模式図である。

【図 1 5】

原料ガスの供給モル比率 (V 族ガスのモル流量 / III 族ガスのモル流量) と無効電流経路幅 T_n 、 T_p の関係を示す図である。

【図 1 6】

図 1 6 (a) 及び (b) は、実験例 1 の結果を説明する電流狭窄構造の断面模式図である。

【図 1 7】

第 2 の発明方法で、モル比率を特定した理由を説明する電流狭窄構造の断面模式図である。

【符号の説明】

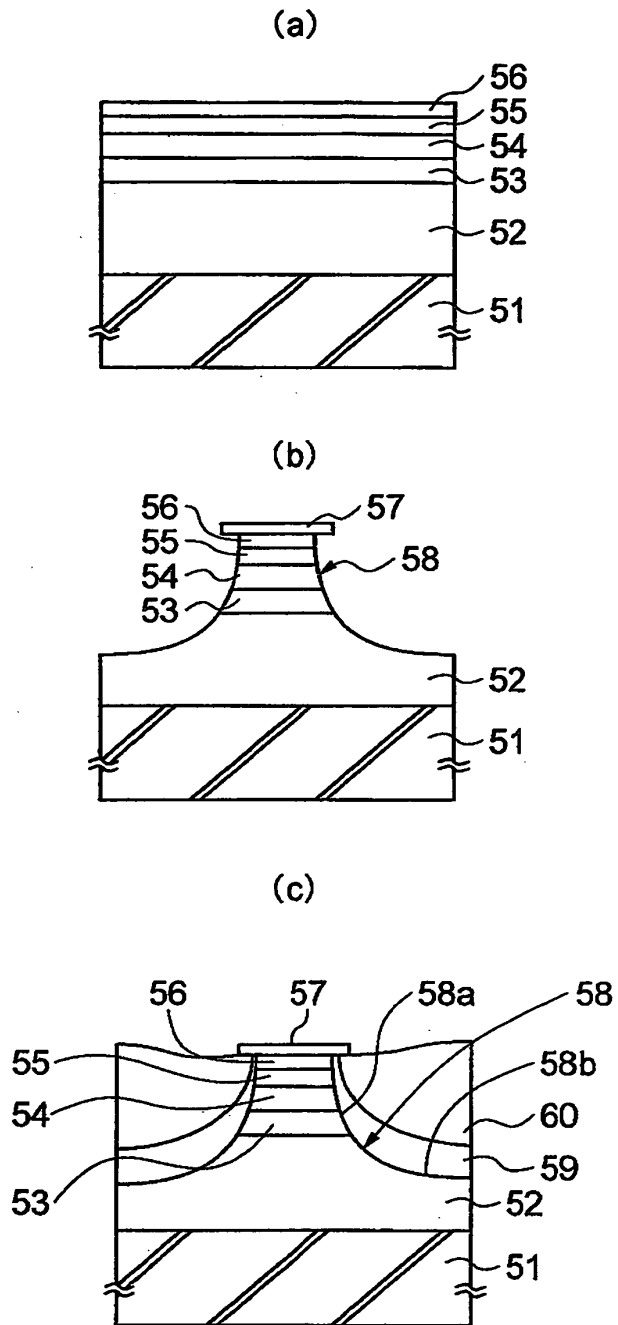
- 1 n 型 G a A s 基板
- 2 n 型 I n G a P 下側クラッド層
- 3 活性層
- 4 p 型 I n G a P 上側クラッド層
- 5 I n G a A s P 層
- 6 G a A s 層
- 7 I n G a A s 層
- 8 G a A s 層
- 9 I n G a A s P 層
- 1 0 エッチングマスク
- 1 1 メサ構造
- 1 2 メサ構造の側面
- 1 3 メサ構造の裾部の上面
- 1 4 p 型電流ブロック層
- 1 5 n 型電流ブロック層
- 1 6 p 型クラッド層
- 1 7 p 型コンタクト層
- 1 8 p 型電極金属層
- 1 9 n 型電極金属層
- 2 0 n 型基板上に形成した従来の埋込型半導体レーザ素子
- 2 1 n 型 I n P クラッド層
- 2 2 p 型 I n P 電流ブロック層

- 23 n型InP電流ブロック層
- 24 p型InPコンタクト層
- 25 p型InPクラッド層
- 26 InGaAsP活性層
- 27 p型InPクラッド層
- 28 p型InP分離層
- 29 n型InP電流ブロック層
- 30 p型InP電流ブロック層
- 31 n型InPコンタクト層
- 32 n型InPクラッド層
- 33 InGaAsP活性層
- 34 くぼみ
- 35 くぼみ
- 40 くぼみ
- 41 電流リーク
- 51 n型InP基板
- 52 n型InP下部クラッド層
- 53 下部GRIN-SCH層
- 54 活性層
- 55 上部GRIN-SCH層
- 57 エッチングマスク
- 56 p型InP上部クラッド層
- 58 メサ構造
- 59 p型InP電流ブロック層
- 60 n型InP電流ブロック層
- 61 p型InP上部クラッド層
- 62 p型GaInAsPキャップ層
- 63 p側電極
- 64 n側電極

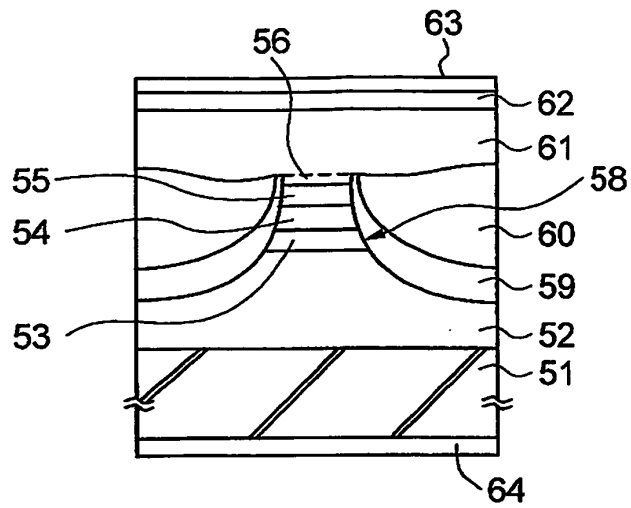
- 71 p型InP基板
- 72 p型InP下部クラッド層
- 73 下部GRIN-SCH層
- 74 活性層
- 75 上部GRIN-SCH層
- 76 n型InP上部クラッド層
- 77 エッチングマスク
- 78 メサ構造
- 79 p型InP分離層
- 80 n型InP電流ブロック層
- 81 p型InP電流ブロック層
- 82 n型InP上部クラッド層
- 83 n型GaInAsPキャップ層
- 84 n側電極
- 85 p側電極
- C 無効電流

【書類名】 図面

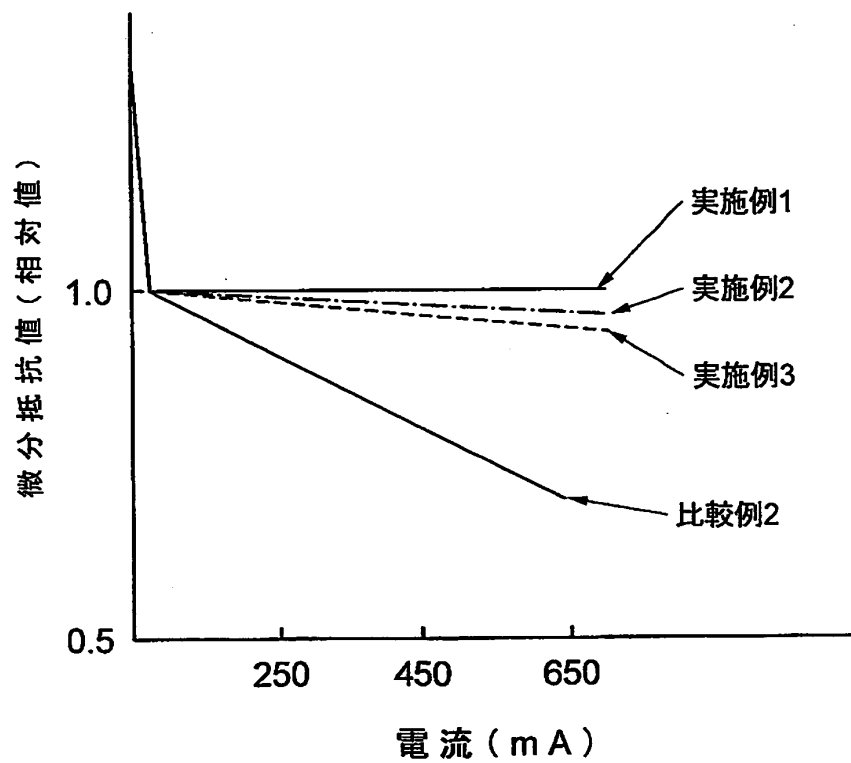
【図 1】



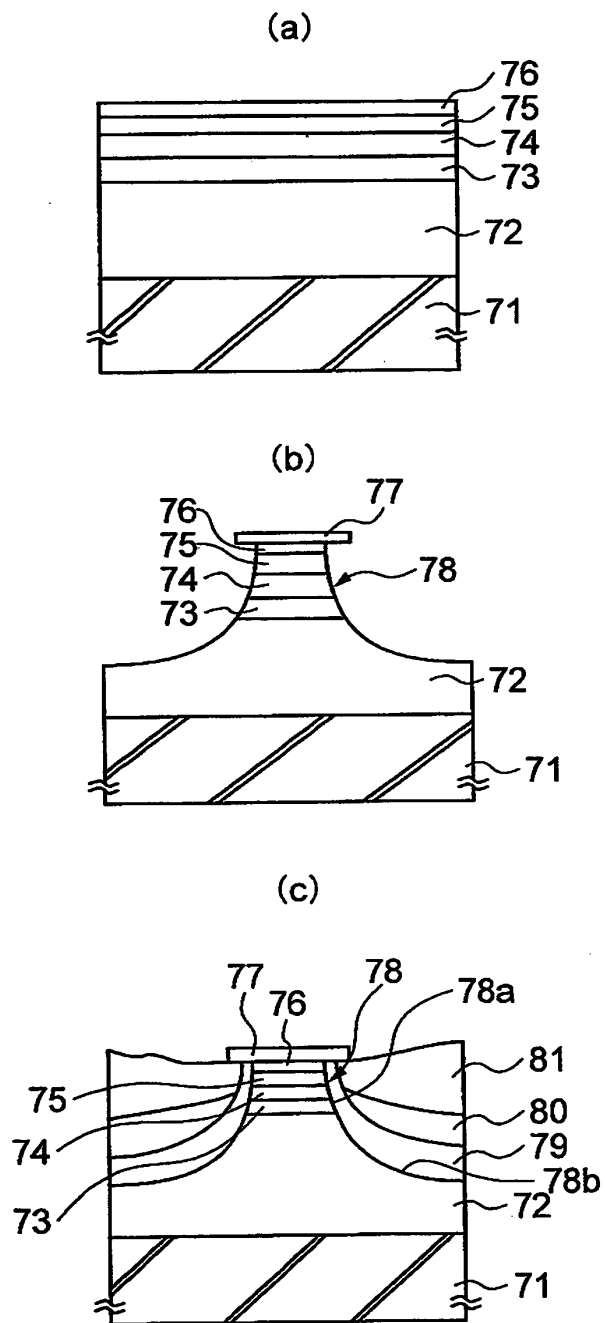
【図 2】



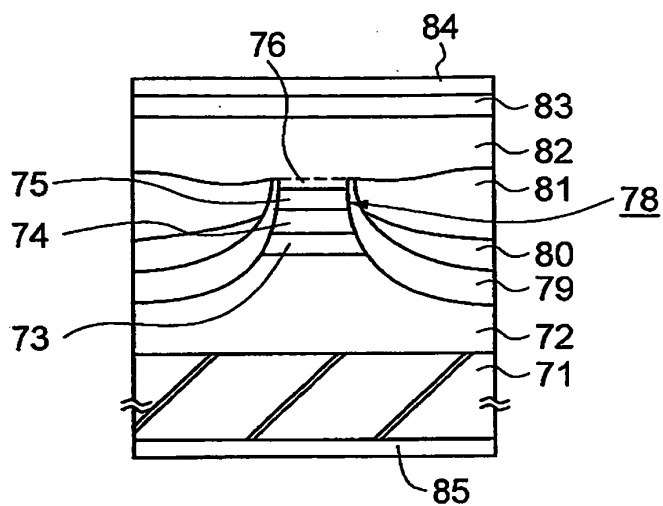
【図 3】



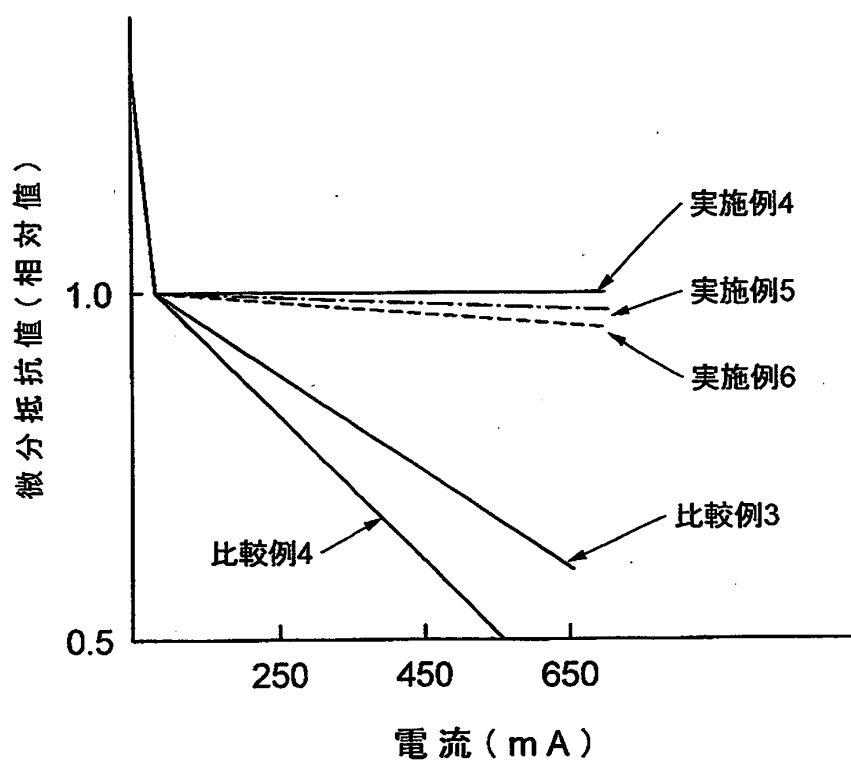
【図4】



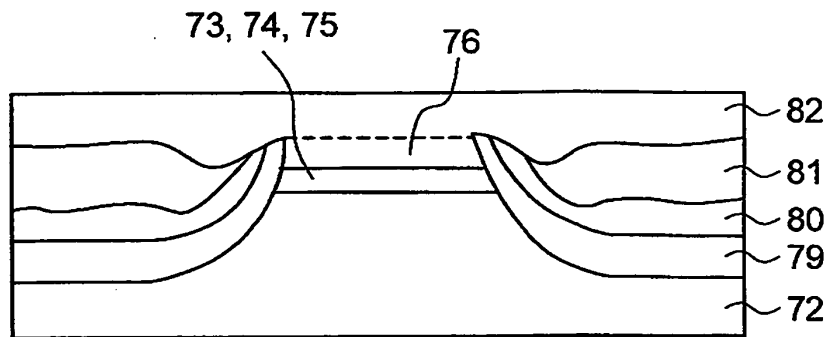
【図5】



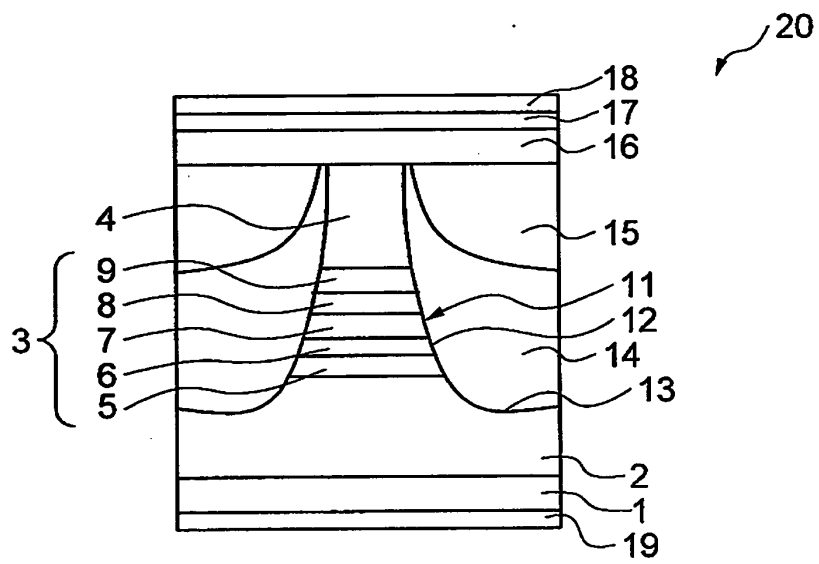
【図6】



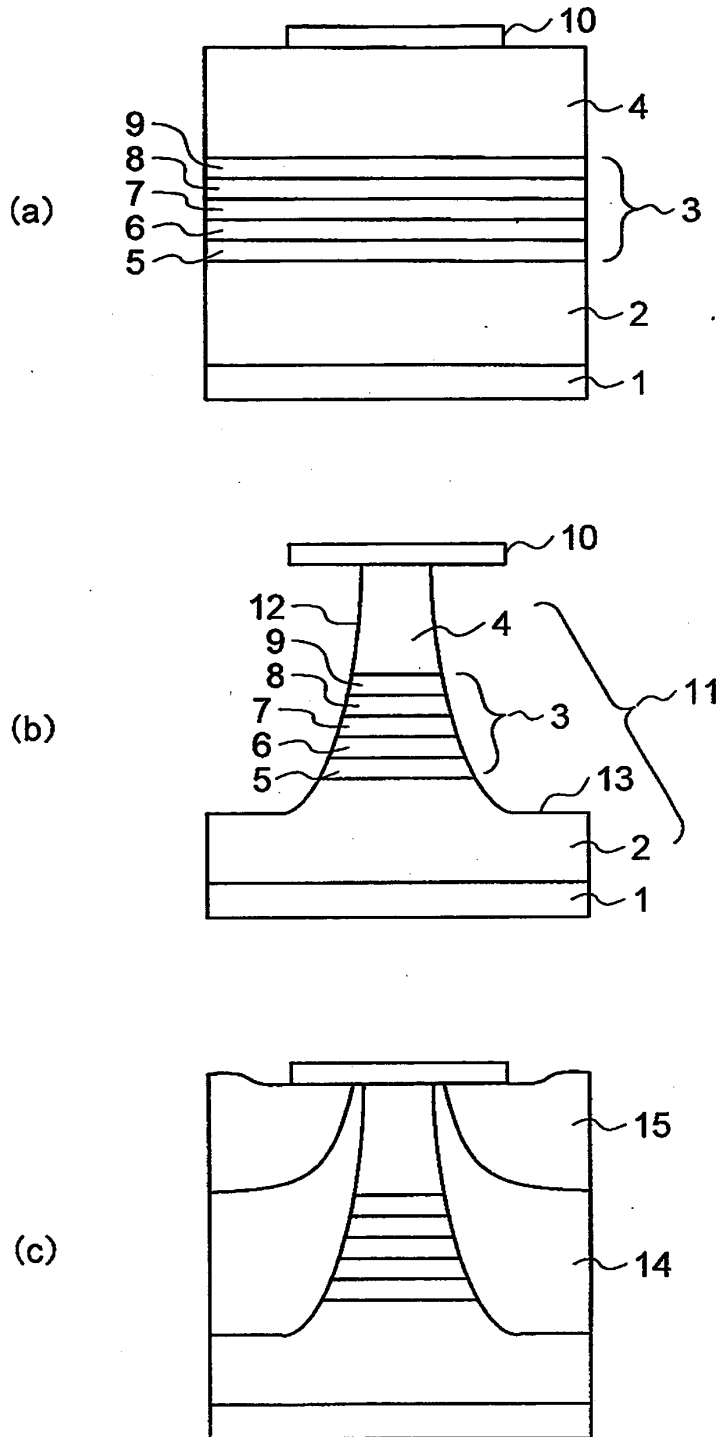
【図7】



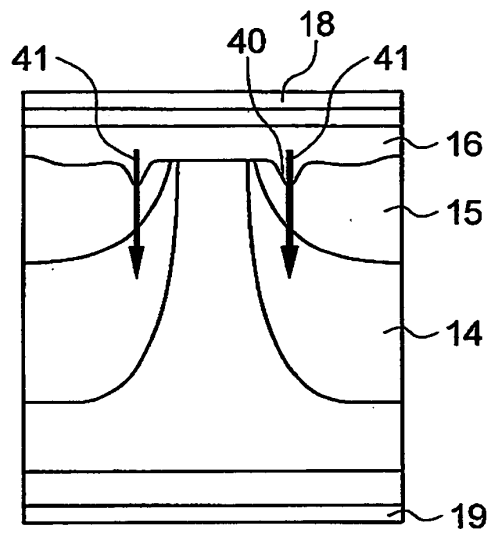
【図8】



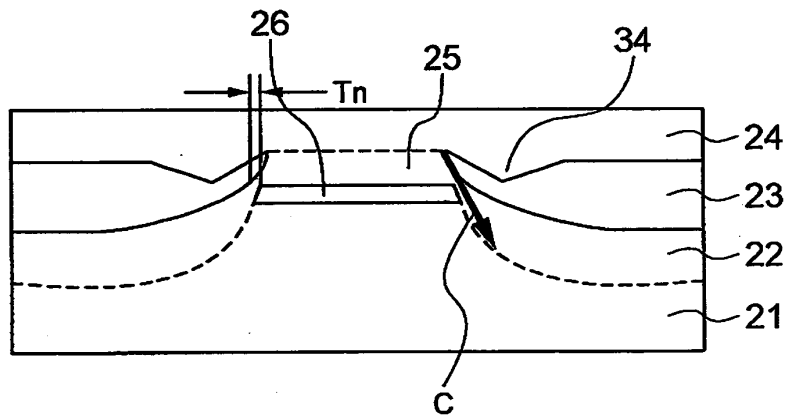
【図9】



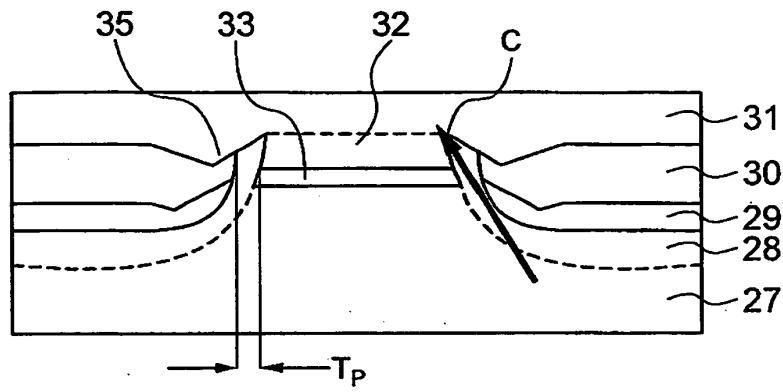
【図10】



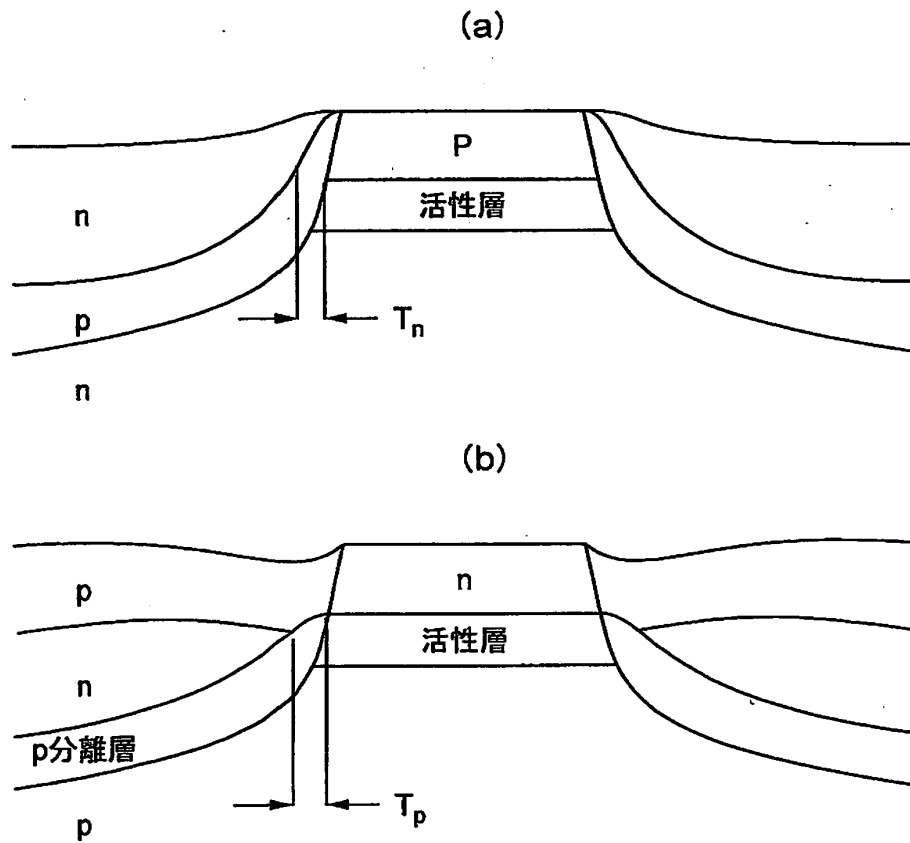
【図11】



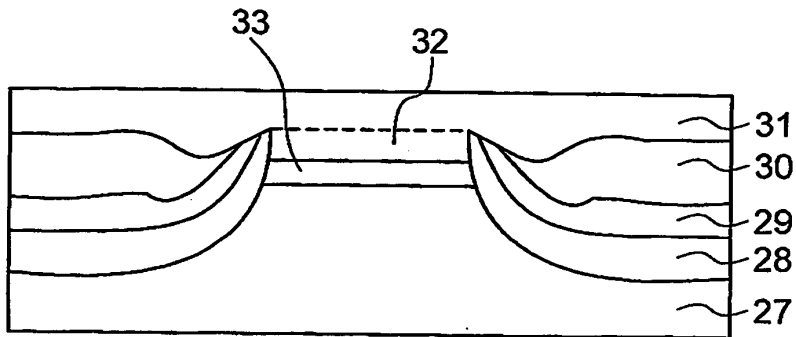
【図12】



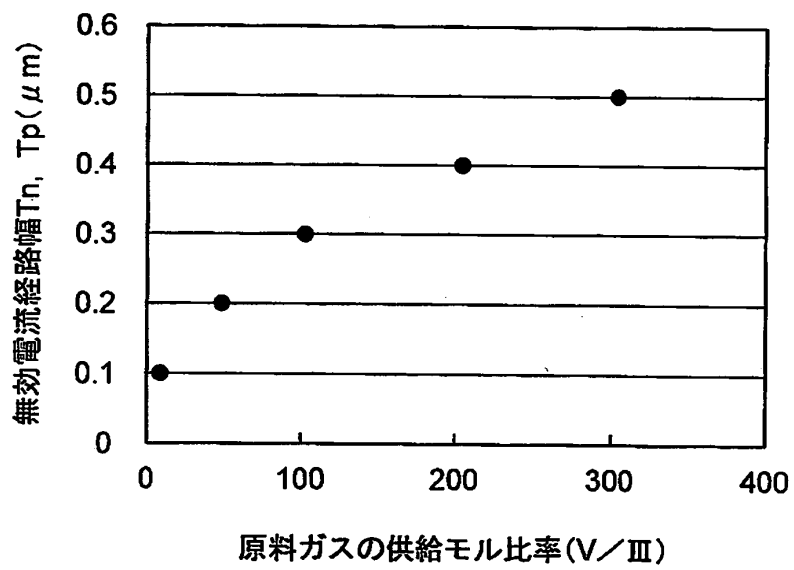
【図13】



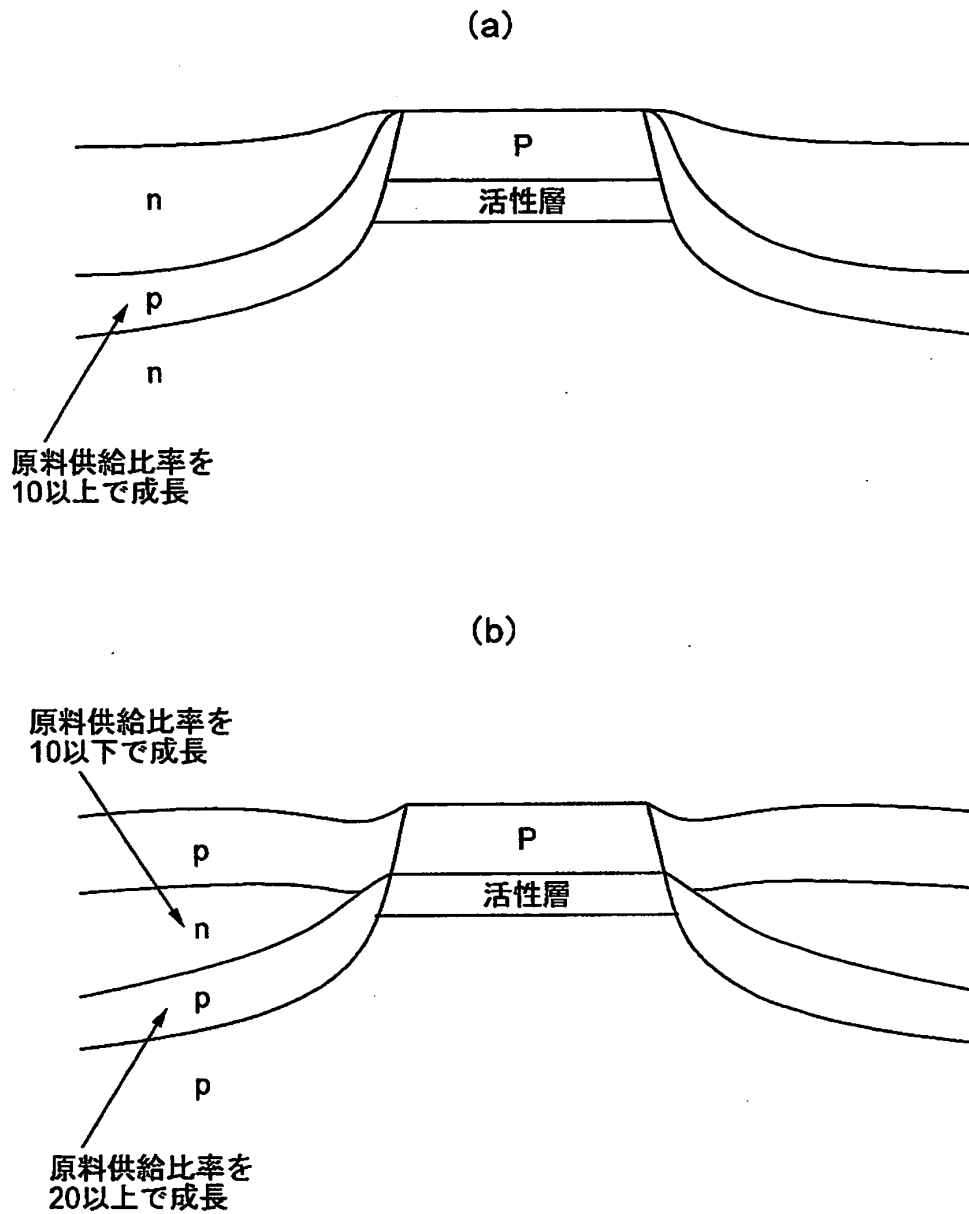
【図 14】



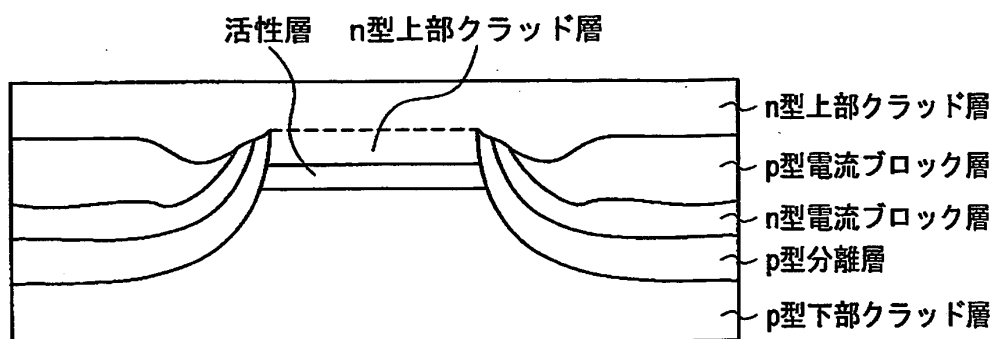
【図 15】



【図 16】



【図17】



【書類名】 要約書

【要約】

【課題】 n 型又は p 型基板上に埋込型半導体レーザ素子を作製する際、電流狭窄構造に形状欠陥が生じたり、無効電流経路幅を再現性よく制御することが困難であったりするために、無効電流が増大し、電流電圧特性の線形性が悪かった。そこで、電流狭窄構造の形状欠陥の発生を防止し、無効電流経路幅を再現性良く制御できる、埋込型半導体レーザ素子の製造方法を提供する。

【解決手段】 n 型基板上に歪量子井戸埋込型半導体レーザを作製する際、無効電流経路幅 T_n は、p 型電流ブロック層成膜時の III 族元素原料ガスに対する V 族元素原料ガスのモル比率により制御され、モル比率は 60～350 である。p 型基板上に埋込型半導体レーザを作製する際、無効電流経路幅 T_p は、p 型分離層成膜時及び n 型電流ブロック層成膜時のモル比率により制御され、p 型分離層成膜時のモル比率は 60～350、かつ n 型電流ブロック層成膜時のモル比率は 30～80 である。

【選択図】 図 15

出 願 人 履 歴 情 報

識別番号 [000005290]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目6番1号
氏 名	古河電気工業株式会社